

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES  
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG(19) Weltorganisation für geistiges Eigentum  
Internationales Büro(43) Internationales Veröffentlichungsdatum  
26. Februar 2004 (26.02.2004)

PCT

(10) Internationale Veröffentlichungsnummer  
WO 2004/017401 A1(51) Internationale Patentklassifikation<sup>7</sup>: H01L 21/762,  
21/763

(21) Internationales Aktenzeichen: PCT/DE2003/002435

(22) Internationales Anmeldedatum:  
19. Juli 2003 (19.07.2003)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:  
102 33 208.8 22. Juli 2002 (22.07.2002) DE(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von  
US): INFINEON TECHNOLOGIES AG [DE/DE]; St.  
Martin-Strasse 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): SCHULER, Franz  
[DE/DE]; Ludwig-Jahn-Str. 4, 01109 Dresden (DE).  
TEMPEL, Georg [DE/BE]; Maurice Despretlaan 9,  
B-1933 Sterrebeek (BE).(74) Anwalt: KARL, Frank; Patentanwälte Kindermann,  
Postfach 1330, 85627 Grasbrunn (DE).

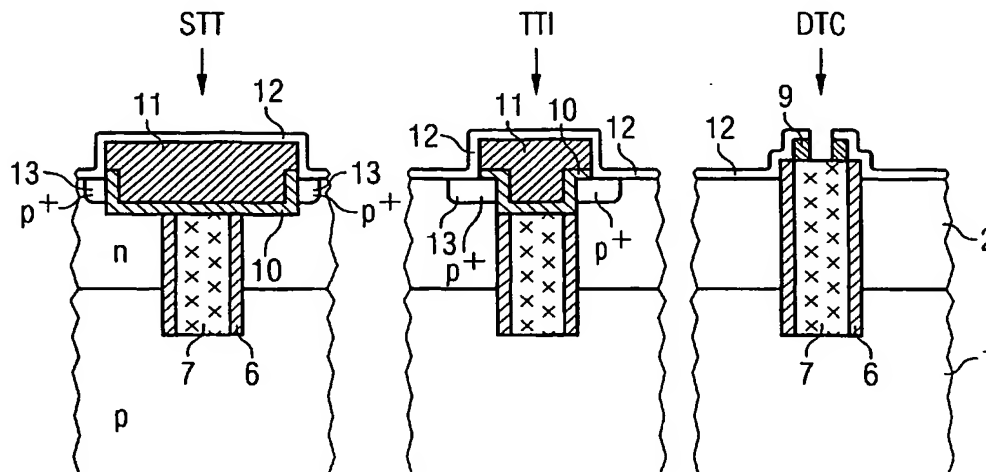
(81) Bestimmungsstaaten (national): CN, JP, SG, US.

(84) Bestimmungsstaaten (regional): europäisches Patent (AT,  
BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR,  
HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

Veröffentlicht:

— mit internationalem Recherchenbericht

[Fortsetzung auf der nächsten Seite]

(54) Title: SEMICONDUCTOR COMPONENT WITH TRENCH INSULATION AND CORRESPONDING PRODUCTION  
METHOD(54) Bezeichnung: HALBLEITERBAUELEMENT MIT GRABENISOLIERUNG SOWIE ZUGEHÖRIGES HERSTELLUNGS-  
VERFAHREN

(57) Abstract: The invention relates to a semiconductor component with trench insulation and corresponding production method. A trench insulation (STI, TTI) comprises a deep insulation trench with a covering insulation layer (10, 11), a lateral wall insulation layer (6) and an electrically-conducting filler layer (7), electrically connected in a base region of the trench with a given doped region (1) of the semiconductor substrate. According to the invention, the electrical screening properties can be improved with reduced spatial requirement, by the use of a trench contact (DTC), comprising a deep contact trench with a lateral wall insulation layer (6) and an electrically-conducting filler layer (7) which is in electrical contact with the given doped region (1) of the semiconductor substrate in a base region of the contact trench.

[Fortsetzung auf der nächsten Seite]



— vor Ablauf der für Änderungen der Ansprüche geltenden Frist; Veröffentlichung wird wiederholt, falls Änderungen eintreffen

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

**(57) Zusammenfassung:** Die Erfindung betrifft ein Halbleiterbauelement mit Grabenisolierung sowie einzugehöriges Herstellungsverfahren, wobei eine Grabenisolierung (STI, TTI) einentiefen Isolationsgraben mit einer Abdeckisolationsschicht (10, 11), einer Seitenwand-Isolationsschicht (6) und einer elektrisch leitenden Füllschicht (7) aufweist, die in einem Bodenbereich des Grabens mit einem vorbestimmten Dotiergebiet (1) des Halbleitersubstrats elektrisch in Verbindung steht. Durch die Verwendung eines Grabenkontakts (DTC), der einen tiefen Kontaktgraben mit einer Seitenwand-Isolationsschicht (6) und einer elektrisch leitenden Füllschicht (7) aufweist, die ebenfalls in einem Bodenbereich des Kontaktgrabens mit dem vorbestimmten Dotiergebiet (1) des Halbleitersubstrats elektrisch in Verbindung steht, können die elektrischen Abschirmeigenschaften bei verringertem Flächenbedarf verbessert werden.

## Beschreibung

Halbleiterbauelement mit Grabenisolierung sowie zugehöriges Herstellungsverfahren

Die vorliegende Erfindung bezieht sich auf ein Halbleiterbauelement mit Grabenisolierung sowie ein zugehöriges Herstellungsverfahren und insbesondere auf ein Halbleiterbauelement mit einer grabenförmigen, bodenkontaktierten aktiven Abschirmung sowie ein zugehöriges Herstellungsverfahren.

Isolierungen zum Festlegen insbesondere von aktiven Gebieten in Halbleitersubstraten wurden üblicherweise durch dicke Oxidfilme, sogenannte lokale Oxidationsgebiete (LOCOS, Local Oxidation of Silicon) ausgebildet. Mit der ansteigenden Integrationsdichte sind jedoch derartige herkömmliche LOCOS-Verfahren nicht länger geeignet, da sie einen hohen Flächenbedarf aufweisen. Darüber hinaus besitzen sie das sogenannte „Birds Beak“-Phänomen, wobei sich Isolationsschichten lateral in Richtung der aktiven Gebiete ausbilden. Es wurden daher sogenannte Grabenisolierungen entwickelt, wobei beispielsweise gemäß der flachen Grabenisolierung (STI, Shallow Trench Isolation) ein mit Isoliermaterial gefüllter flacher Isolationsgraben an der Oberfläche eines Halbleitersubstrats ausgebildet wird. Gleichwohl ist auch eine derartige herkömmliche Grabenisolierung oftmals nicht ausreichend, da sogenannte Punch-through-Effekte im Halbleitermaterial auftreten. In diesem Fall beobachtet man unerwünschte Leckströme. Im Extremfall können durch diese Leckströme parasitäre Bipolar-Transistoren getriggert werden und es dadurch zu einer Zerstörung von Halbleiterbauelementen kommen.

Insbesondere zur Verringerung derartiger Leckströme wurden in letzter Zeit Grabenisolierungen mit einer Abschirm-Struktur entwickelt, wobei zur Realisierung einer Feld-Abschirmung im Graben ein elektrisch leitendes Material als Elektrode eingebettet ist und zu verbesserten elektrischen Eigenschaften

## 2

führt. Üblicherweise werden derartige Grabenisolierungen mit abschirmender Wirkung an der Substratoberfläche oder vom Substrat her kontaktiert.

Nachteilig sind hierbei jedoch eine unzureichende Abschirmwirkung und/oder ein erhöhter Flächenbedarf auf Grund der notwendigen Kontaktierung.

Der Erfindung liegt daher die Aufgabe zu Grunde ein Halbleiterbauelement mit Grabenisolierung sowie ein zugehöriges Herstellungsverfahren zu schaffen, wobei neben einer verbesserten Abschirmung ein verringerter Flächenbedarf und somit eine verbesserte Integrationsdichte realisierbar ist.

Erfindungsgemäß wird diese Aufgabe hinsichtlich des Halbleiterbauelements mit den Merkmalen des Patentanspruchs 1 und hinsichtlich des Herstellungsverfahrens durch die Maßnahmen des Patentanspruchs 7 gelöst.

Insbesondere durch die Verwendung eines speziellen Grabenkontakts, der einen tiefen Kontaktgraben mit einer Seitenwand-Isolationsschicht und einer elektrisch leitenden Füllschicht aufweist, die in einem Bodenbereich des Kontaktgrabens mit einem vorbestimmten Dotiergebiet des Halbleitersubstrats elektrisch in Verbindung steht, und über das eine Grabenisolierung mit aktiver Abschirmung kontaktiert wird, können insbesondere Substratwiderstände wesentlich verringert werden, wodurch man verbesserte Abschirmeigenschaften erhält. Gleichzeitig kann durch die Verwendung des Grabenkontakts ein Flächenbedarf für eine jeweilige Halbleiterschaltung wesentlich verringert werden.

Vorzugsweise befindet sich eine Abdeckisolationsschicht der Grabenisolierung unterhalb der Halbleitersubstrat-Oberfläche und innerhalb des Isolationsgrabens, woraus insbesondere eine verbesserte Weiterverarbeitbarkeit auf Grund der relativ ebenen Oberfläche sowie eine Isolation der leitenden Grabenfüll-

lung von evtl. über der Abdeckisolationsschicht liegenden leitenden Schichten wie z.B. Leiterbahnen resultiert.

Vorzugsweise sind die Grabenisolierung und der Grabenkontakt mit einer Tiefe im Halbleitersubstrat ausgebildet, die größer einer Tiefe einer jeweiligen Verarmungszone ist, wodurch insbesondere Punch-through-Effekte verringert werden können.

Werden an der Halbleitersubstrat-Oberfläche der jeweiligen Grabenisolierung verbreiterte bzw. sogenannte flache Isolationsgräben verwendet, so können unter Verwendung herkömmlicher Standardverfahren nicht benötigte bzw. nicht aktive Bereiche eines Halbleitersubstrats auf einfache Weise passiviert werden.

Vorzugsweise besitzt das Halbleitersubstrat eine Mehrfach-Wannenstruktur, wobei das vorbestimmte Dotiergebiet eine darin liegende Dotierwanne darstellt, wodurch sich auch bei komplexen Halbleiterschaltungen optimal angepasste Abschirmungen realisieren lassen. Insbesondere eine Kontaktierung von Wannengebieten wird hierbei wesentlich verbessert, da eine gleichmäßige Kontaktierung ermöglicht ist und Potentialschwankungen innerhalb einer Wanne verringert sind. Andererseits kann ein Flächenbedarf wesentlich reduziert werden, da jeweilige Wannenkontakte nunmehr nicht länger an eine Halbleitersubstrat-Oberfläche geführt werden müssen.

In den weiteren Unteransprüchen sind weitere vorteilhafte Ausgestaltungen der Erfindung gekennzeichnet.

Die Erfindung wird nachstehend anhand von Ausführungsbeispielen unter Bezugnahme auf die Zeichnung näher beschrieben.

Es zeigen:

Figuren 1A bis 1N vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Verfahrensschritte bei der Herstel-

lung eines Halbleiterbauelements mit Grabenisolierung gemäß einem ersten Ausführungsbeispiel;

Figur 2 eine vereinfachte Schnittansicht zur Veranschaulichung eines Halbleiterbauelements mit Grabenisolierung gemäß einem zweiten Ausführungsbeispiel;

Figur 3 eine vereinfachte Schnittansicht zur Veranschaulichung eines Halbleiterbauelements mit Grabenisolierung gemäß einem dritten Ausführungsbeispiel;

Figur 4 eine vereinfachte Schnittansicht zur Veranschaulichung eines Halbleiterbauelements mit Grabenisolierung gemäß einem vierten Ausführungsbeispiel;

Figuren 5A bis 5H vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Verfahrensschritte bei der Herstellung eines Halbleiterbauelements mit Grabenisolierung gemäß einem fünften Ausführungsbeispiel; und

Figuren 6A bis 6E vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Verfahrensschritte bei der Herstellung eines Halbleiterbauelements mit Grabenisolierung gemäß einem sechsten Ausführungsbeispiel.

#### Erstes Ausführungsbeispiel

Die Figuren 1A bis 1N zeigen vereinfachte Schnittansichten eines Halbleiterbauelements mit einer in einem oberen Bereich verbreiterten aber flachen Grabenisolierung STI, einer in ihrem oberen Bereich dünnen Grabenisolierung TTI (Thin Trench Isolation) und einem zugehörigen Grabenkontakt DTC (Deep Trench Contact) gemäß einem ersten Ausführungsbeispiel.

Gemäß Figur 1A werden in einem gemeinsamen Trägermaterial wie z.B. einem Halbleitersubstrat zunächst unterschiedliche Dotiergebiete ausgebildet, wobei das Bezugszeichen 1 beispielsweise

weise ein p-Halbleitersubstrat oder eine tiefe p-Wanne darstellt, das Bezugszeichen 2 eine n-Wanne und das Bezugszeichen 3 eine (flache) p-Wanne. Die Wannen bzw. Dotiergebiete 1, 2 und 3 können beispielsweise mittels Ionenimplantation oder sonstigen Dotierverfahren ausgebildet werden, wobei als Halbleitermaterial vorzugsweise Silizium verwendet wird.

An der Oberfläche des Halbleitersubstrats wird beispielsweise eine erste Isolationsschicht 4 als Oxidschicht abgeschieden oder aufgewachsen. Auf diese Weise erhält man im Halbleitersubstrat eine Doppel- oder Dreifach-Wannenstruktur, mit der komplexe Halbleiterschaltungen und insbesondere NMOS- sowie PMOS-Transistoren realisiert werden können. Zur Realisierung von Hochvoltschaltungen können die Wannen mit entsprechenden Hochvolt-Dotierungen ausgebildet werden.

Gemäß Figur 1B wird anschließend eine Hartmaskenschicht 5 an der Oberfläche der ersten Isolationsschicht 4 beispielsweise mittels eines Abscheideverfahrens ausgebildet, wobei z.B.  $\text{Si}_3\text{N}_4$  abgeschieden wird. Zur Ausbildung einer entsprechenden Hartmaske für später auszubildende tiefe Gräben T erfolgt anschließend eine Strukturierung mittels herkömmlicher lithographischer Verfahren.

Gemäß Figur 1C werden unter Verwendung der strukturierten Hartmaske bzw. Hartmaskenschicht 5 mittels z.B. eines anisotropen Ätzverfahrens in jeweiligen Bereichen für eine Grabenisolierung mit flachem aber verbreitertem Oberflächenbereich STI, einer dünnen Grabenisolierung TTI und einem Grabenkontakt DTC tiefe Gräben T ausgebildet. Beispielsweise kann als anisotropes Ätzverfahren ein reaktives Ionenätzen (RIE, Reactive Ion Etch) verwendet werden, wodurch sehr tiefe und exakt strukturierbare Gräben mit gleicher Tiefe im Halbleitersubstrat ausgebildet werden.

Insbesondere bei Verwendung einer Grabenstruktur, wobei die tiefen Gräben nur innerhalb einer Wanne oder eines gleich do-

tierten Substrats liegen, ist die Tiefe der Gräben zur Vermeidung von sogenannten Punch-through-Effekten größer einer Tiefe einer zugehörigen Verarmungszone von an der Oberfläche ausgebildeten oder später auszubildenden Dotiergebieten.

Gemäß Figur 1C erstrecken sich die tiefen Gräben T bis in ein vorbestimmtes Dotiergebiet bzw. eine vorbestimmte Dotierwanne 2, die beispielsweise eine mittlere n-Wanne einer Triple-Wannenstruktur darstellt.

Gemäß Figur 1D erfolgt nach dem Ausbilden der tiefen Gräben T nunmehr das Ausbilden einer Seitenwand-Isolationsschicht 6 an den Seitenwänden der Gräben T, wobei zunächst nach einer Reinigung zur Entfernung der Trockenätzpolymere eine Grabenisolationsschicht an der Oberfläche des Grabens T ausgebildet wird. Vorzugsweise wird diese Grabenisolationsschicht durch ein thermisches Oxidationsverfahren als sogenanntes Liner-Oxid ausgebildet, wobei zum Entfernen eines Bodenbereichs der Grabenisolationsschicht beispielsweise ein anisotropes reaktives Ionenätzen durchgeführt wird. Nach dem Entfernen des Bodenbereichs der Grabenisolationsschicht, wodurch die Seitenwand-Isolationsschicht 6 fertiggestellt ist, erfolgt das Auffüllen des Grabens mit einem elektrisch leitenden Material 7, wobei beispielsweise ein hoch dotiertes Polysilizium abgeschieden wird, dessen Dotierung den gleichen Leitungstyp n aufweist wie das vorbestimmte Dotiergebiet bzw. die n-Wanne 2. Abschließend erfolgt beispielsweise ein anisotroper Rückätzschritt der elektrisch leitenden Füllschicht 7, wodurch man die in Figur 1D dargestellte Schnittansicht erhält.

Gemäß Figur 1E wird anschließend eine Resistschicht 8 an der Oberfläche des Halbleitersubstrats bzw. der aufgefüllten Gräben ausgebildet und zur Realisierung eines verbreiterten Oberflächengrabens STI zumindest in diesem Bereich entsprechend strukturiert und die Struktur auf die darunter liegende Hartmaskenschicht 5 übertragen. Auf diese Weise kann in zu passivierenden Halbleiterbereichen eine herkömmliche flache



Grabenisolierung ausgebildet werden, wodurch auch große Flächenbereiche einfach deaktiviert werden können.

Gemäß Figur 1F wird anschließend die erste Resistschicht 8 entfernt bzw. gestrippt und eine zweite Isolationsschicht 9 ganzflächig ausgebildet, wobei vorzugsweise eine Siliziumdioxid-Hartmaskenschicht (z.B. TEOS) mittels eines CVD-Verfahrens (Chemical Vapor Deposition) abgeschieden wird. Anschließend wird eine zweite Resistschicht 10 ganzflächig ausgebildet und mittels herkömmlicher fotolithographischer Verfahren derart strukturiert, dass lediglich die Grabenisolierungen STI und TTI freigelegt werden und der Bereich für den Grabenkontakt DTC weiterhin geschützt bleibt.

Gemäß Figur 1G wird nunmehr die abgeschiedene zweite Isolationsschicht 9 in den Bereichen für die Grabenisolierungen STI und TTI entfernt, wobei herkömmliche Ätzverfahren verwendet werden können, und anschließend die zweite Resistschicht 10 entfernt bzw. gestrippt, wodurch man die in Figur 1G dargestellte Schnittansicht erhält.

Gemäß Figur 1H erfolgt nunmehr unter Verwendung der Hartmaskenschicht 5 in den Bereichen der Grabenisolierungen STI und TTI bzw. der zweiten Isolierschicht 9 im Bereich des Grabenkontakts DTC ein weiteres Ätzverfahren, wobei vorzugsweise mittels eines anisotropen Ätzverfahrens sowohl das Halbleitermaterial bzw. Silizium der obersten p-Wanne 3 als auch ein oberer Bereich der elektrisch leitenden Füllschicht 7 bzw. des hochdotierten Polysiliziums entfernt wird. Vorzugsweise geschieht dies mittels reaktivem Ionenätzen. Anschließend erfolgt ein Reinigungsprozess, bei dem unter anderem auch die während dem vorherigen Trockenätzverfahrens entstehenden Polymere entfernt werden.

Da insbesondere in der verbreiterten Grabenisolierung STI mit flachem und verbreitertem Oberflächenbereich die Seitenwand-Isolationsschicht 6 stehen bleibt, wird in einem nachfolgen-

den Schritt gemäß Figur 1I beispielsweise ein HF-Dip zum Entfernen der verbleibenden Seitenwand-Isolationsschicht 6 durchgeführt. Auf diese Weise werden in den Bereichen der Grabenisolierung STI und TTI die Seitenwand-Isolationsschichten 6 in einem oberen Bereich des tiefen Grabens T entfernt, wodurch man flache und zum Teil verbreiterte Gräben ST erhält. Ferner können gemäß Figur 1I auch die Kanten der Hartmaskenschicht 5 in den freigelegten Bereichen der Grabenisolierungen STI und TTI zurückgeätzt werden, was als sogenanntes „Nitride Pullback“ bezeichnet wird. Auf diese Weise erhält man eine gewisse Entspannung der Grabenkanten für die weitere Prozessierung und auch verbesserte elektrische Eigenschaften von beispielsweise ebenso vorhandenen CMOS-Transistoren.

Gemäß Figur 1J wird anschließend in den ausgebildeten flachen Gräben ST der Grabenisolationsbereiche STI und TTI eine erste Abdeckisolutions-Teilschicht 10 ausgebildet, die vorzugsweise wiederum mittels einer thermischen Oxidation ein sogenanntes Liner-Oxid als Isolationsschicht konform ausbildet. In gleicher Weise können jedoch auch alternative Verfahren zum Ausbilden dieser Isolationsschicht (wie z.B. Schichtstrukturen) durchgeführt werden.

Gemäß Figur 1K wird anschließend eine zweite Abdeckisolutions-Teilschicht 11 im flachen Graben ST bzw. an der Oberfläche der ersten Abdeckisolutions-Teilschicht 10 ausgebildet, wobei vorzugsweise eine CVD-Abscheidung von  $\text{SiO}_2$  (z.B. TEOS) durchgeführt wird. Auf diese Weise werden die flachen Gräben ST vollständig aufgefüllt. Zum Planarisieren der derart abgeschiedenen zweiten Abdeckisolutions-Teilschicht 11 wird beispielsweise ein herkömmliches CMP-Verfahren (Chemical Mechanical Polishing) durchgeführt, wobei die Hartmaskenschicht 5 als Stoppschicht verwendet wird. Bei diesem Schritt wird demzufolge auch die zweite Isolationsschicht 9 im Bereich der Grabenkontakte DTC entfernt, wodurch man die in Figur 1K dargestellte Schnittansicht erhält.

Gemäß Figur 1L wird nunmehr die Hartmaskenschicht 5 bzw. die Siliziumnitridschicht ganzflächig entfernt, wodurch lediglich die erste Isolationsschicht 4, die zweite Isolationsschicht 9 und die zweite Abdeckisolutions-Teilschicht 11 auf dem Halbleitersubstrat verbleibt. Insbesondere bei Verwendung von Siliziumdioxid für diese Schichten erhält man hierbei einen besonders vereinfachten Verfahrensschritt.

In einem nachfolgenden Verfahrensschritt wird gemäß Figur 1M die verbleibende erste Isolationsschicht 4, welche auch als Siliziumdioxid-Bufferschicht bezeichnet wird, entfernt, wobei hierbei auch die zweite Isolatorschicht 9 und die zweite Abdeckisolutions-Teilschicht 11 entsprechend abgetragen wird und zur Vermeidung von Kurzschlüssen oder unbeabsichtigten Topographien entsprechende Dicken aufweisen sollten.

Anschließend wird beispielsweise mittels thermischer Oxidation eine Gateoxidschicht als Gatedielektrikum 12 ausgebildet, wobei dieses Gatedielektrikum 12 auch mittels alternativer Verfahren und alternativer Materialien ausgebildet werden kann. Üblicherweise erfolgt nunmehr die eigentliche Ausbildung von Schaltelementen in den aktiven Bereichen des Halbleitersubstrats bzw. der p-Wanne 3, wobei in Figur 1N lediglich n+-dotierte Dotiergebiete 13 angedeutet sind. Im Bereich des Grabenkontakts DTC erfolgt ab diesem Zeitpunkt mittels herkömmlicher Verfahren auch das Freilegen einer Kontaktöffnung zum Kontaktieren der tiefen n-Wanne 2 über die elektrisch leitende Füllschicht 7. Die weiteren Herstellungsschritte zum Ausbilden von NMOS- oder PMOS-Transistoren sind hierbei nicht dargestellt, da sie herkömmlichen Herstellungsschritten entsprechen.

Auf diese Weise erhält man ein Halbleiterbauelement mit bodenseitig kontaktierter Grabenisolierung, die eine verbesserte Abschirmwirkung aufweist, da insbesondere Kontaktwiderstände in den vorbestimmten Dotiergebieten bzw. der n-Wanne 2

minimal gehalten werden können und darüber hinaus ein Flächenbedarf für die Kontaktierung von oben entfallen kann. Genaue gesagt kann durch geeignete Platzierung des Grabenkontakts DTC im vorbestimmtem Dotiergebiet 2 zu jeder darin befindlichen Grabenisolierung eine optimale Anschlussmöglichkeit gefunden werden. Auf Grund der in den Gräben versenkten Abdeckisolationsschichten 10 und 11 können darüber hinaus unerwünschte Topographien verhindert werden, wodurch sich eine weitergehende Prozessierung vereinfachen lässt. Ferner können durch die in den Figuren 1A bis 1N dargestellten Verfahrensschritte sowohl sehr schmale Grabenisolierungen TTI und damit hohe Integrationsdichten als auch an der Oberfläche verbreiterte Grabenisolierungen STI im Halbleitersubstrat als aktive Abschirmungen effektiv ausgebildet und angeschlossen werden, wodurch sowohl ein sehr geringer Flächenbedarf für aktive Bauelemente realisiert werden kann als auch nicht erwünschte bzw. benötigte aktive Gebiete problemlos mittels der verbreiterten Grabenisolierungen STI deaktiviert werden können.

Bei der insbesondere in Figur 1N dargestellten Mehrfach-Wannenstruktur können demzufolge auch sehr komplexe Halbleiterschaltungen mit außerordentlich hoher Integrationsdichte realisiert werden, da Punch-through-Effekte und Leckströme zuverlässig verhindert werden.

#### Zweites Ausführungsbeispiel

Figur 2 zeigt eine vereinfachte Schnittansicht eines Halbleiterbauelements mit Grabenisolierung gemäß einem zweiten Ausführungsbeispiel, wobei gleiche Bezugszeichen gleiche oder entsprechende Elemente bzw. Schichten bezeichnen wie in Figur 1, weshalb auf eine wiederholte Beschreibung nachfolgend verzichtet wird.

Gemäß Figur 2 kann das Halbleiterbauelement jedoch nicht nur in einem Halbleitersubstrat mit Mehrfach-Wannenstruktur ausgebildet sein, sondern lediglich eine einzige Dotierung auf-

weisen, wodurch man insbesondere für stark vereinfachte Halbleiterschaltungen ebenfalls verbesserte Abschirmeigenschaften bei verringertem Flächenbedarf erhält. Das in Figur 2 dargestellte Halbleiterbauelement ist beispielsweise ein NMOS-Transistor, wobei ein p-Halbleitersubstrat 1 verwendet wird und als elektrisch leitende Füllschicht folglich ein p<sup>+</sup>-dotiertes Halbleitermaterial eingesetzt wird. Wiederum erhält man auf Grund des verwendeten Grabenkontakts DTC eine verbesserte Anschlussmöglichkeit der bodenseitig kontaktierten Grabenisolierungen, wodurch sich eine verbesserte Abschirmung bei verringertem Flächenbedarf ergibt. Insbesondere bei derartigen einfachen Halbleitersubstraten sollte eine Tiefe der Gräben größer sein als eine Tiefe der von den Dotierungsgebieten 13 erzeugten Verarmungszonen, um einen sogenannten Punch-trough-Effekt wirkungsvoll zu verhindern.

Ferner sei darauf hingewiesen, dass insbesondere bei Verwendung von hoch dotierten polykristallinen Halbleitermaterialien als elektrisch leitende Füllschicht 7 bei den nicht dargestellten nachfolgenden Prozessschritten eine Ausdiffusion am Fuß des Kontaktes stattfindet, wodurch man weiter verbesserte Isoliereigenschaften erzeugen kann.

### Drittes Ausführungsbeispiel

Figur 3 zeigt eine vereinfachte Schnittansicht eines Halbleiterbauelements mit Grabenisolierung gemäß einem dritten Ausführungsbeispiel, wobei gleiche Bezugszeichen gleiche Elemente oder Schichten wie in den Figuren 1 oder 2 bezeichnen und auf eine wiederholte Beschreibung nachfolgend verzichtet wird.

Gemäß Figur 3 besitzt das Halbleitersubstrat nunmehr lediglich eine p-Wanne oder ein eigentliches Substrat 1 sowie eine zusätzliche n-Wanne 2, wobei die elektrisch leitende Füllschicht 7 mit der p-Wanne bzw. dem Substrat 1 in Verbindung steht. Auf diese Weise erhält man eine STI- bzw. TTI-Graben-

isolierung für PMOS-Transistoren, weshalb die Dotiergebiete 13 p<sup>+</sup>-dotiert sind. Insbesondere bei Verwendung von hoch dotiertem Halbleitermaterial besteht die elektrisch leitende Füllschicht demzufolge aus einem p<sup>+</sup>-dotierten Polysilizium.

Entsprechend dem ersten und zweiten Ausführungsbeispiel ergeben sich wiederum verbesserte Abschirmeigenschaften bei verringertem Flächenbedarf.

#### Viertes Ausführungsbeispiel

Figur 4 zeigt eine vereinfachte Schnittansicht eines Halbleiterbauelements mit Grabenisolierung gemäß einem vierten Ausführungsbeispiel, wobei gleiche Bezugszeichen wiederum gleiche Elemente oder Schichten wie in Figuren 1 bis 3 bezeichnen und auf eine wiederholte Beschreibung nachfolgend verzichtet wird.

Gemäß Figur 4 ist wiederum eine STI- und TTI-Grabenisolierung mit zugehörigem Grabenkontakt DTC für PMOS-Transistoren bekannt, wobei nunmehr wiederum eine Zweifach-Wannenstruktur bzw. eine n-Wanne 2 in einem p-Substrat 1 ausgebildet ist. Gemäß Figur 4 kann sich der bodenseitige Anschluss der Grabenisolierung demzufolge auch in der ersten n-Wanne 2 befinden, wobei wiederum vorzugsweise n<sup>+</sup>-dotiertes Polysilizium verwendet wird und zur Vermeidung von Punch-through-Effekten eine entsprechende Tiefe der Gräben größer einer Tiefe der Raumladungszonen ist.

Wiederum können auch in diesem Fall verbesserte Abschirmeigenschaften bei verringertem Flächenbedarf für Halbleiterbauelemente mit Grabenisolierungen geschaffen werden, wobei gleichzeitig sowohl schmale Grabenisolierungen TTI als auch Grabenisolierungen mit verbreiteter Grabenoberfläche STI hergestellt werden können.

#### Fünftes Ausführungsbeispiel

Figuren 5A bis 5H zeigen vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Verfahrensschritte bei der Herstellung eines Halbleiterbauelements mit Grabenisolierung gemäß einem fünften Ausführungsbeispiel, wobei gleiche Bezugszeichen gleiche oder entsprechende Schichten bzw. Elemente wie in den Figuren 1 bis 4 bezeichnen und auf eine wiederholte Beschreibung nachfolgend verzichtet wird.

Gemäß dem fünften Ausführungsbeispiel wird nunmehr lediglich eine verbreiterte Grabenisolierung STI mit verbreiteter Oberflächenstruktur und ein zugehöriger Grabenkontakt DTC ausgebildet, wodurch sich die Verfahrensschritte leicht vereinfachen lassen.

Zunächst erfolgen jedoch wiederum die gleichen Verfahrensschritte wie in den Figuren 1A bis 1D, wodurch in tiefen Gräben T eine Seitenwand-Isolationsschicht 6 und eine elektrisch leitende Füllschicht 7 ausgebildet wird.

In einem dem Verfahrensschritt gemäß Figur 1D nachfolgenden Verfahrensschritt gemäß Figur 5A wird nunmehr die Hartmaskenschicht 5, welche vorzugsweise aus einer Siliziumnitridschicht besteht, vollständig entfernt und eine neue zweite Hartmaskenschicht 5A beispielsweise ganzflächig abgeschieden.

Gemäß Figur 5B wird in einem nachfolgenden Verfahrensschritt wiederum eine erste Resistschicht 8 zur Strukturierung des Bereichs für die verbreiterte Grabenisolierung STI aufgebracht und mittels herkömmlicher fotolithographischer Verfahren strukturiert. Unter Verwendung dieser Resistmaske wird anschließend die zweite Hartmaskenschicht 5A insbesondere im Bereich der verbreiterten Grabenisolierung STI entfernt, wodurch man die in Figur 5B dargestellte Schnittansicht erhält.

Gemäß Figur 5C erfolgt anschließend ein Entfernen der ersten Resistschicht 8 bzw. ein Resiststrip sowie ein Entfernen der

elektrisch leitenden Füllschicht 7 sowie des Halbleitersubstrats bzw. der p-Wanne 3 in einem oberen Bereich der Gräben. Dieser Schritt entspricht im Wesentlichen dem Verfahrensschritt gemäß Figur 1H des ersten Ausführungsbeispiels, wobei zunächst die erste Isolierschicht bzw. Siliziumdioxid-Buffererschicht 4 und anschließend das Halbleitermaterial entfernt wird. Abgeschlossen wird dieser Schritt wiederum durch einen Reinigungsprozess bzw. durch das Entfernen der verbleibenden Polymere.

Gemäß Figur 5D wird in gleicher Weise wie im Schritt gemäß Figur 1I ein kurzes Eintauchen in Flusssäure (HF-Dip) durchgeführt, wodurch die verbleibenden Siliziumdioxid-Seitenwand-Isolationsschichten 6 entfernt werden. Ferner wird zur Entspannung der Grabenkanten ein Rückätzen der zweiten Hartmaskenschicht 5A durchgeführt, was als sogenanntes Nitrid-Pullback bezeichnet wird und zu einer Rückätzung bzw. Dickenreduzierung dieser Schicht auch im Bereich der Grabenkontakte DTC führt.

Gemäß Figur 5E erfolgt nunmehr wiederum das Ausbilden der ersten Abdeckisolutions-Teilschicht 10 sowie in Figur 5F das Ausbilden der zweiten Abdeckisolutions-Teilschicht 11, wobei wiederum die gleichen Verfahrensschritte wie in den Figuren 1J und 1K durchgeführt werden.

Gemäß Figur 5F wird jedoch insbesondere im Bereich des Grabenkontakts DTC in einer Mulde der zweiten Hartmaskenschicht 5A ebenfalls eine zweite Abdeckisolutions-Teilschicht 11 in Form einer TEOS-Siliziumdioxidschicht mittels eines CVD-Verfahrens abgeschieden.

Gemäß Figur 5G werden nunmehr auch die freiliegenden Bereich der zweiten Hartmaskenschicht 5A vollständig entfernt, wobei jedoch unterhalb der zweiten Abdeckisolutions-Teilschicht 11 im Bereich des Grabenkontakts DTC ein Teil dieser Schicht 5A verbleibt.



Abschließend wird gemäß Figur 5H wiederum die erste Isolations-schicht 4 bzw. die Siliziumdioxid-Buffer-schicht vollständig entfernt und ein Gatedielektrikum 12 ganzflächig ausgebildet, wobei vorzugsweise eine thermische Oxidation zur Ausbildung eines konformen bzw. konformalen (gleichmäßig dicken) Gateoxids durchgeführt wird.

Die weiteren Schritte zur Ausbildung der Dotiergebiete, Steuerschichten sowie Kontaktlöcher sind nachfolgend nicht dargestellt, wobei explizit auf die Beschreibung des ersten Ausführungsbeispiels verwiesen wird.

Insbesondere bei Realisierung eines Halbleiterbauelements mit einer verbreiterten Grabenisolierung STI, welche eine verbeiterte Grabenoberfläche aufweist, kann demzufolge das Herstellungsverfahren leicht vereinfacht werden, wobei man wiederum verbesserte Abschirmeigenschaften bei verringertem Flächenbedarf erhält.

Die in Figur 5 dargestellte Mehrfach-Wannenstruktur kann selbstverständlich auch auf andere Halbleitersubstrate und andere Wannenstrukturen gemäß Figuren 2 bis 4 angewendet werden.

#### Sechstes Ausführungsbeispiel

Figuren 6A bis 6E zeigen vereinfachte Schnittansichten zur Veranschaulichung wesentlicher Verfahrensschritte bei der Herstellung eines Halbleiterbauelements mit Grabenisolierung gemäß einem sechsten Ausführungsbeispiel, wobei die Grabenisolierung lediglich eine schmale Grabenisolierung TTI aufweist.

Gemäß dem sechsten Ausführungsbeispiel werden wiederum zunächst die Verfahrensschritte gemäß Figuren 1A bis 1D durchgeführt, wobei in einem nachfolgenden Schritt gemäß Figur 6A

wiederum eine erste Resistschicht 8 zum Bedecken der Bereiche für die Grabenkontakte DTC aufgebracht und strukturiert wird. Unter Verwendung dieser Resistschicht 8 werden demzufolge die Bereiche für die schmalen Grabenisolierungen TTI geätzt, wodurch ein oberer Bereich beispielsweise mittels eines anisotropen Ätzverfahrens (RIE) der Gräben bzw. der darin liegenden elektrisch leitenden Füllschicht 7 entfernt wird. Wiederum erhält man somit die im oberen Bereich der Gräben ausgebildeten flachen Gräben ST.

Gemäß Figur 6B wird in einem nachfolgenden Verfahrensschritt die erste Resistschicht 8 entfernt bzw. ein Resiststrip durchgeführt und nachfolgend ein Rückätzen der ersten Hartmaskenschicht 5 wiederum zur Entspannung der Grabenkanten durchgeführt.

Gemäß Figur 6C wird anschließend vorzugsweise mittels eines TEOS-Ascheideverfahrens Siliziumdioxid abgeschieden und mittels eines chemisch-mechanischen Polierverfahrens (CMP, Chemical Mechanical Polishing) planarisiert, wobei die erste Hartmaskenschicht 5 als Stoppschicht dient. Auf diese Weise erhält man die in Figur 6C dargestellte Abdeckisolationsschicht 11, die im sechsten Ausführungsbeispiel eine einfache Schicht darstellt.

Gemäß Figur 6D wird in einem nachfolgenden Verfahrensschritt die erste Hartmaskenschicht 5 mittels herkömmlicher Ätzverfahren entfernt und gemäß Figur 6E in gleicher Weise die erste Isolationsschicht 4 bzw. Siliziumdioxid-Bufferschicht ganzflächig beseitigt.

Abschließend wird gemäß Figur 6E wiederum ein Gatedielektrikum 12 an der Oberfläche des Halbleitersubstrats bzw. der Wanne 3 ausgebildet, wobei vorzugsweise eine thermische Oxidation zum Erzeugen einer Gateoxidschicht 12 durchgeführt wird. Wiederum wird auf die Beschreibung der noch notwendigen weiteren Verfahrensschritte nachfolgend verzichtet und insbe-

sondere auf die Beschreibung des ersten Ausführungsbeispiels verwiesen.

Auf diese Weise erhält man insbesondere durch die Kombination einer bodenseitig kontaktierten Grabenisolierung zur Realisierung einer aktiven Abschirmung mit einem Grabenkontakt eine hervorragende Abschirmung mit geringem Anschlusswiderstand sowie einen stark verringerten Flächenbedarf und eine hochflexible Einsatzmöglichkeit. Die schmalen bzw. dünnen Grabenisolierungen TTI können hierbei für weiter verbesserte Integrationsdichten verwendet werden, während die gleichzeitig oder alternativ ausgebildeten verbreiterten Grabenisolierungen STI mit verbreiterten Gräben im oberen Bereich weiterhin die Möglichkeit geben große Bereiche des Halbleitersubstrats durch bewährte Standardverfahren zu deaktivieren.

Insbesondere bei Mehrfach-Wannenstrukturen müssen nunmehr die Wannen nicht länger die Halbleiteroberfläche berühren sondern können unmittelbar kontaktiert werden. Z.B. kann man eine laterale Isolation einer inneren Triple-Wanne über einen geschlossenen Ring des Grabenkontakts DTC erreichen. Darüber hinaus kann nahezu jeder Punkt innerhalb einer Wanne zusätzlich über einen DTC kontaktiert damit ähnliche bzw. gleiche Potentialbedingungen in der gesamten Wanne geschaffen werden, wodurch sich die charakteristischen Eigenschaften eines Halbleiterbauelements weiter verbessern lassen. Insbesondere negative Spannungen können dadurch auf besonders einfache Weise isoliert und auf dem Chip erzeugt und geschalten werden.

Durch die unmittelbare bodenseitige Kontaktierung der elektrischen Abschirmung in der Grabenisolierung können ferner die relativ hohen lateralen parasitäre Widerstände der Wannen vernachlässigt werden, wodurch sich wiederum die Abschirmung verbessert.

Die Erfindung wurde vorstehend unter Verwendung eines p-dotierten Halbleitersubstrats beschrieben. In gleicher Weise

kann jedoch auch ein n-dotiertes Halbleitersubstrat verwendet werden, wobei die verwendeten Dotierungen in den vorstehend genannten Ausführungsbeispielen durch die komplementären Dotierungen ersetzt werden.

## Bezugszeichenliste

1, 2, 3	Halbleitersubstrat
4	erste Isolationsschicht
5, 5A	erste, zweite Hartmaskenschicht
6	Seitenwand-Isolationsschicht
7	elektrisch leitende Füllschicht
8	erste Resistschicht
9	zweite Isolationsschicht
10	erste Abdeckisolutions-Teilschicht
11	zweite Abdeckisolutions-Teilschicht
12	Gatedielektrikum
13	Dotiergebiete
T	tiefe Gräben
ST	flache Gräben
STI	verbreiterte Grabenisolierung
TTI	schmale Grabenisolierung
DTC	Grabenkontakt

## Patentansprüche

1. Halbleiterbauelement mit Grabenisolierung zum Festlegen von aktiven Gebieten in einem Halbleitersubstrat (1, 2, 3), wobei  
die Grabenisolierung (STI, TTI) einen tiefen Isolationsgraben mit einer Abdeckisolationsschicht (10, 11) einer Seitenwand-Isolationsschicht (6) und einer elektrisch leitenden Füllschicht aufweist, die in einem Bodenbereich des Isolationsgrabens mit einem vorbestimmten Dotiergebiet des Halbleitersubstrats elektrisch in Verbindung steht  
g e k e n n z e i c h n e t d u r c h  
einen Grabenkontakt (DTC), der einen tiefen Kontaktgraben mit einer Seitenwand-Isolationsschicht (6) und einer elektrisch leitenden Füllschicht (7) aufweist, die ebenfalls in einem Bodenbereich des Kontaktgrabens mit dem vorbestimmten Dotiergebiet des Halbleitersubstrats (1, 2, 3) elektrisch in Verbindung steht.
2. Halbleiterbauelement nach Patentanspruch 1,  
d a d u r c h g e k e n n z e i c h n e t, dass die Abdeckisolationsschicht (10, 11) im Wesentlichen unterhalb einer Halbleitersubstrat-Oberfläche und innerhalb des Isolationsgrabens ausgebildet ist.
3. Halbleiterbauelement nach Patentanspruch 1 oder 2,  
d a d u r c h g e k e n n z e i c h n e t, dass die Grabenisolierung (STI, TTI) und der Grabenkontakt (DTC) eine größere Tiefe als eine zugehörige Verarmungszone im Halbleitersubstrat (1, 2, 3) aufweisen.
4. Halbleiterbauelement nach einem der Patentansprüche 1 bis 3,  
d a d u r c h g e k e n n z e i c h n e t, dass die Grabenisolierung (STI) zum Auffüllen nicht aktiver Bereiche einen verbreiterten, flachen Isolationsgraben an der Halbleitersubstrat-Oberfläche aufweist.

5. Halbleiterbauelement nach einem der Patentansprüche 1 bis 4,  
d a d u r c h g e k e n n z e i c h n e t, dass das vorbestimmte Dotiergebiet eine Dotierwanne (2) einer Mehrfach-Wannenstruktur darstellt.

6. Halbleiterbauelement nach einem der Patentansprüche 1 bis 5,  
d a d u r c h g e k e n n z e i c h n e t, dass das Halbleitersubstrat (1, 2, 3) Si, die Abdeck- sowie Seitenwand-Isolationsschicht (6, 10, 11)  $\text{SiO}_2$  und die Füllschicht (7) hochdotiertes Polysilizium aufweist.

7. Verfahren zur Herstellung eines Halbleiterbauelements mit Grabenisolierung mit den Schritten:

- a) Vorbereiten eines Halbleitersubstrats (1, 2, 3) mit zumindest einem vorbestimmten Dotiergebiet (2);
- b) Ausbilden von tiefen Gräben (T) bis zum vorbestimmten Dotiergebiet (2) zur Realisierung von zumindest einer Grabenisolierung (STI, TTI) und einem Grabenkontakt (DTC);
- c) Ausbilden einer Seitenwand-Isolationsschicht (6) an den Seitenwänden der Gräben (T);
- d) Ausbilden einer elektrisch leitenden Füllschicht (7) in den Gräben (T);
- e) Entfernen von zumindest der elektrisch leitenden Füllschicht (7) im oberen Bereich der Gräben für die Grabenisolierung (STI, TTI) zum Ausbilden von flachen Gräben (ST); und
- f) Ausbilden einer Abdeckisolationsschicht (10, 11) in den flachen Gräben (ST) der Grabenisolierung (STI, TTI).

8. Verfahren nach Patentanspruch 7,  
d a d u r c h g e k e n n z e i c h n e t, dass in Schritt a) eine Doppel- oder Dreifach-Wannenstruktur im Halbleitersubstrat ausgebildet wird.

9. Verfahren nach Patentanspruch 7 oder 8,

d a d u r c h g e k e n n z e i c h n e t, dass in Schritt b) die tiefen Gräben (T) unter Verwendung einer ersten Hartmaskenschicht (5) mittels eines anisotropen Ätzverfahrens im Halbleitersubstrat ausgebildet werden.

10. Verfahren nach einem der Patentansprüche 7 bis 9, d a d u r c h g e k e n n z e i c h n e t, dass in Schritt c) eine thermische Oxidation zum Ausbilden einer Grabenisolationsschicht und ein anisotropes Ätzverfahren zum Entfernen eines Bodenbereichs der Grabenisolationsschicht durchgeführt wird.

11. Verfahren nach einem der Patentansprüche 7 bis 10, d a d u r c h g e k e n n z e i c h n e t, dass in Schritt d) ein hochdotiertes Halbleitermaterial (7) abgeschieden wird, welches den gleichen Leitungstyp (n) wie das vorbestimmte Dotiergebiet (2) aufweist.

12. Verfahren nach einem der Patentansprüche 7 bis 11, d a d u r c h g e k e n n z e i c h n e t, dass in Schritt e) zur Realisierung einer verbreiterten Grabenisolierung (STI) die leitende Füllschicht (7), die Seitenwand-Isolationsschicht (6) und angrenzende Bereiche des Halbleitersubstrats (1, 2, 3) im oberen Bereich der tiefen Gräben (T) entfernt werden.

13. Verfahren nach einem der Patentansprüche 7 bis 12, d a d u r c h g e k e n n z e i c h n e t, dass in Schritt e) zur Realisierung einer schmalen Grabenisolierung (TTI) nur die leitende Füllschicht (7) mit oder ohne der Seitenwand-Isolationsschicht (6) im oberen Bereich der Gräben entfernt wird.

14. Verfahren nach einem der Patentansprüche 7 bis 12, d a d u r c h g e k e n n z e i c h n e t, dass in Schritt f) eine Oxidation zum Ausbilden einer ersten Abdeckisolationsteilschicht (10) und /oder eine Abscheidung zum Ausbilden



einer zweiten Abdeckisolutions-Teilschicht (11) im flachen Graben (ST) durchgeführt wird.

FIG 1A

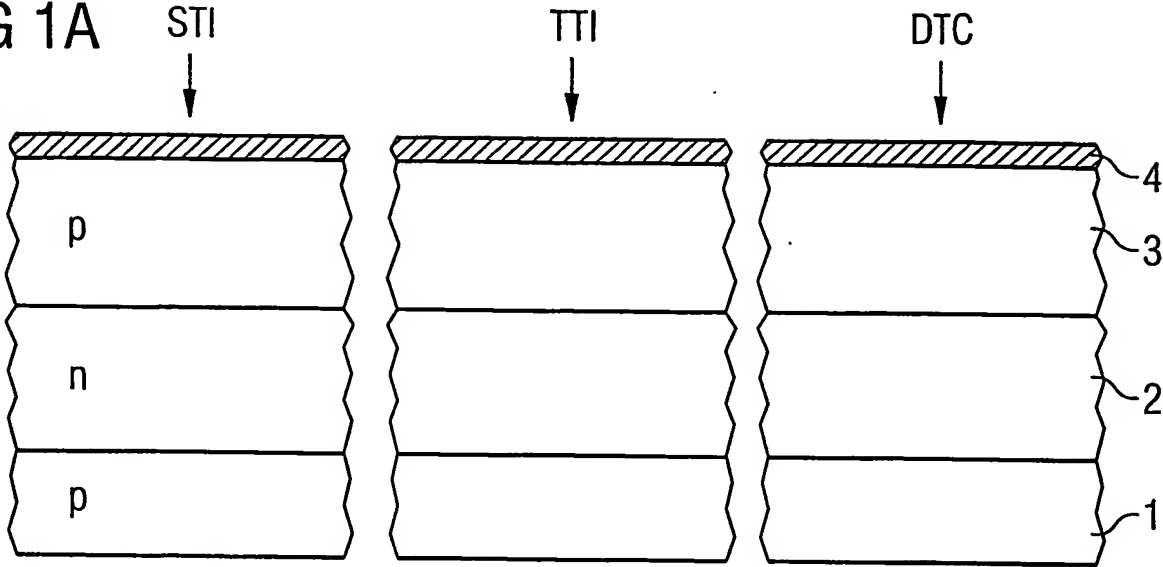


FIG 1B

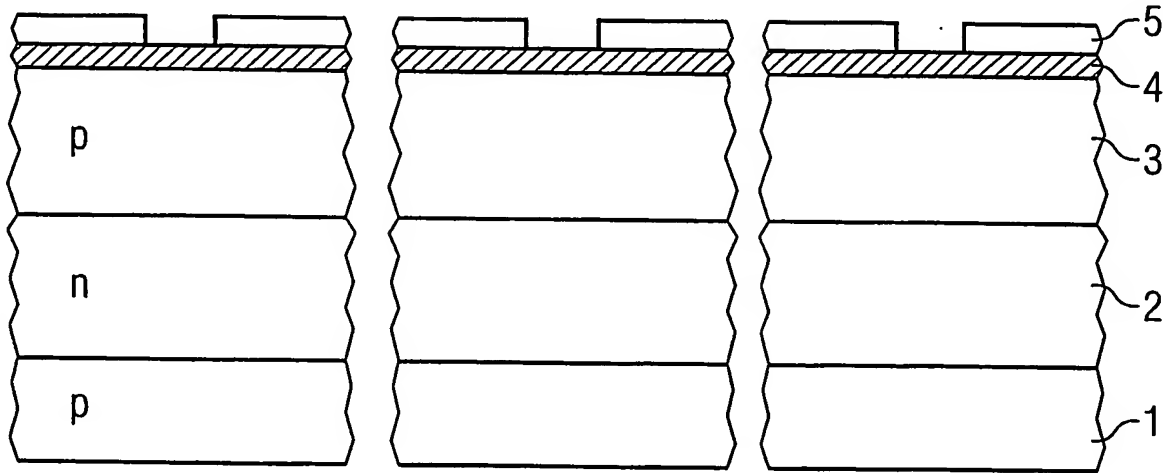


FIG 1C

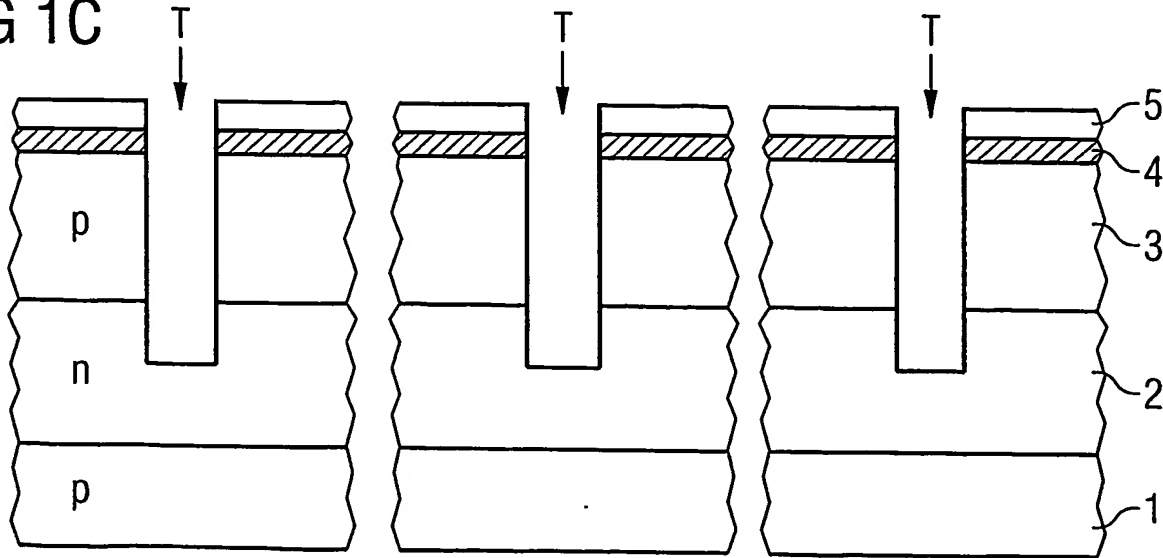


FIG 1D

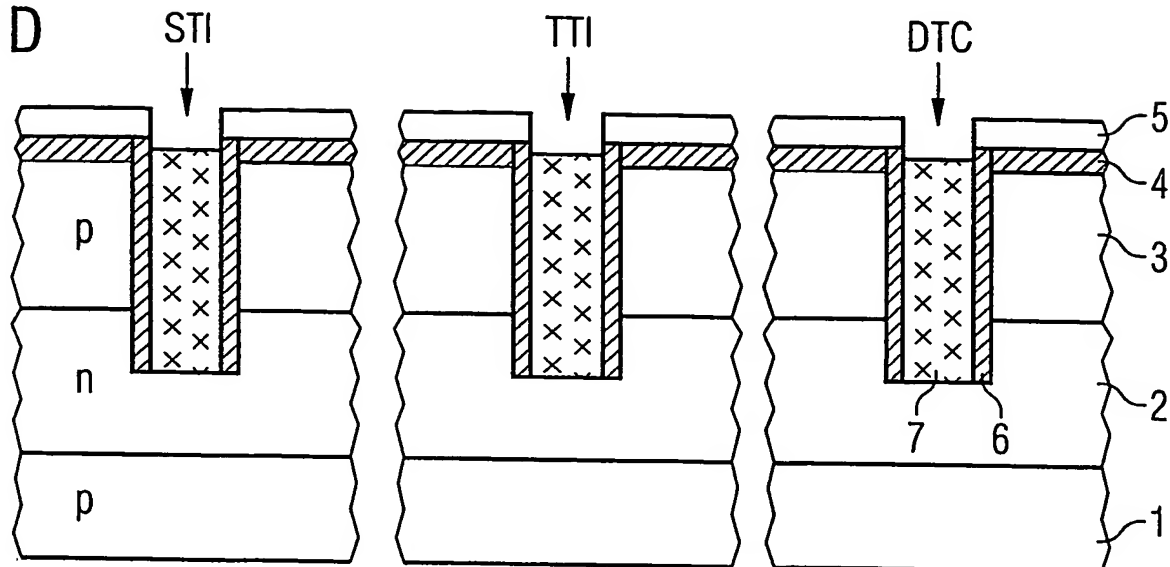


FIG 1E

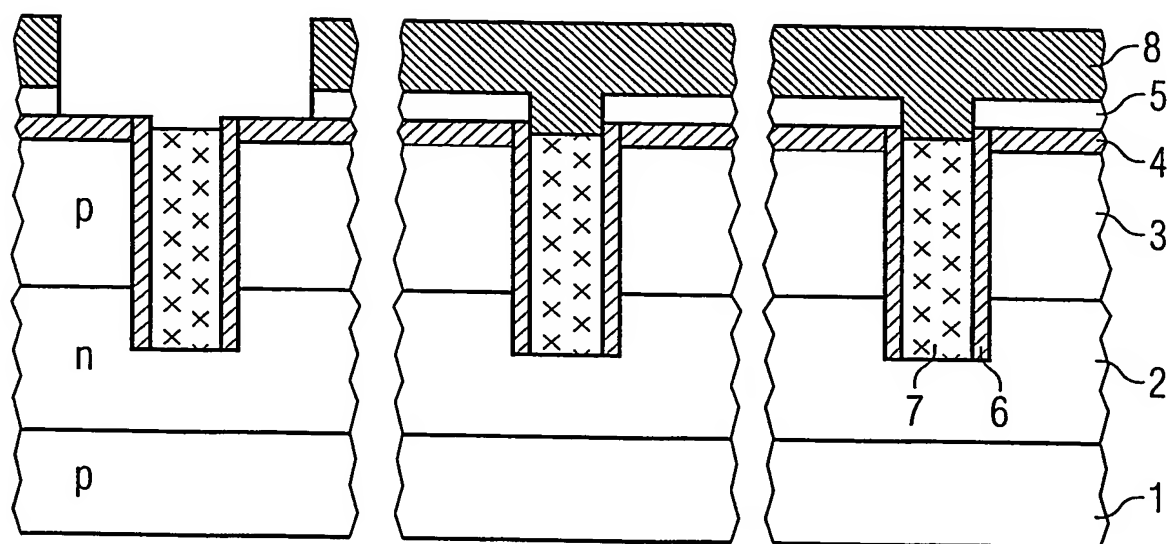
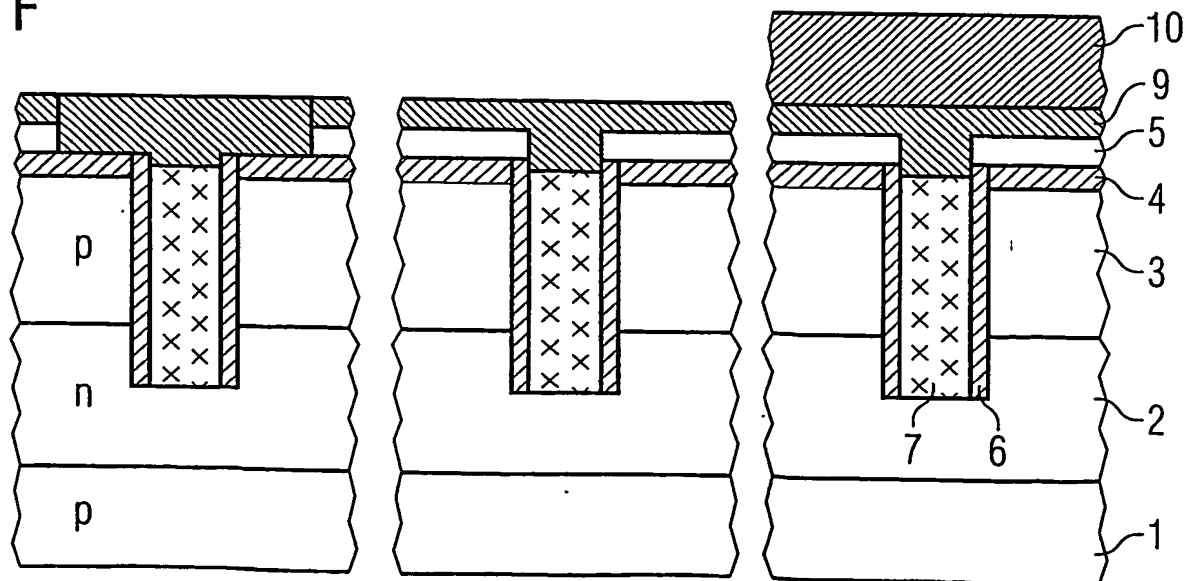


FIG 1F



3/12

FIG 1G

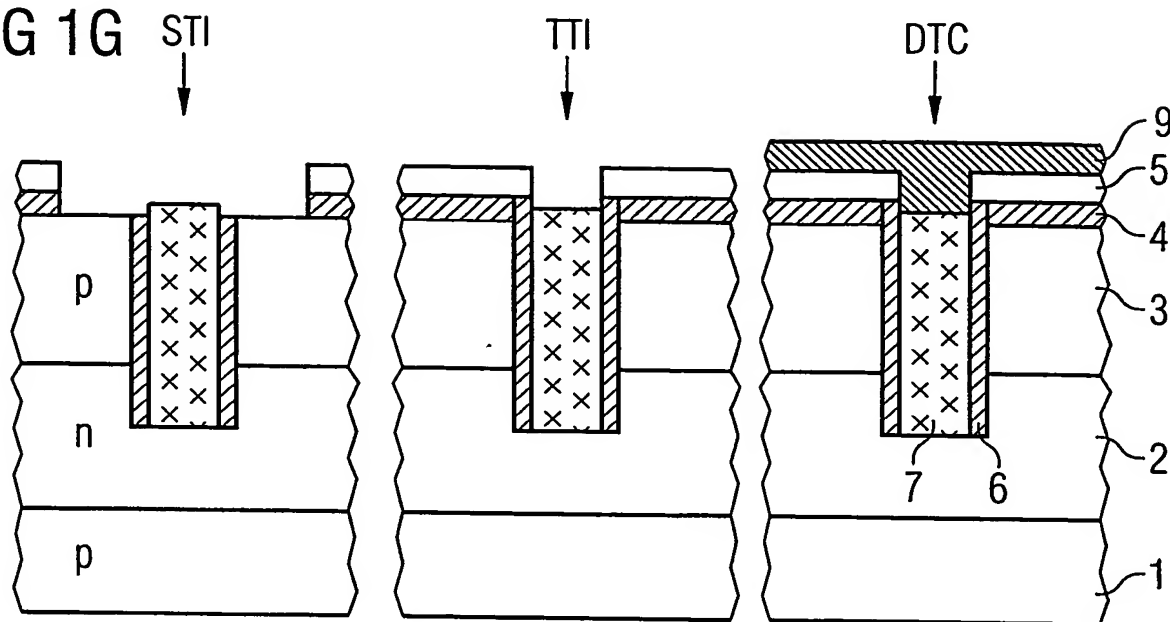


FIG 1H

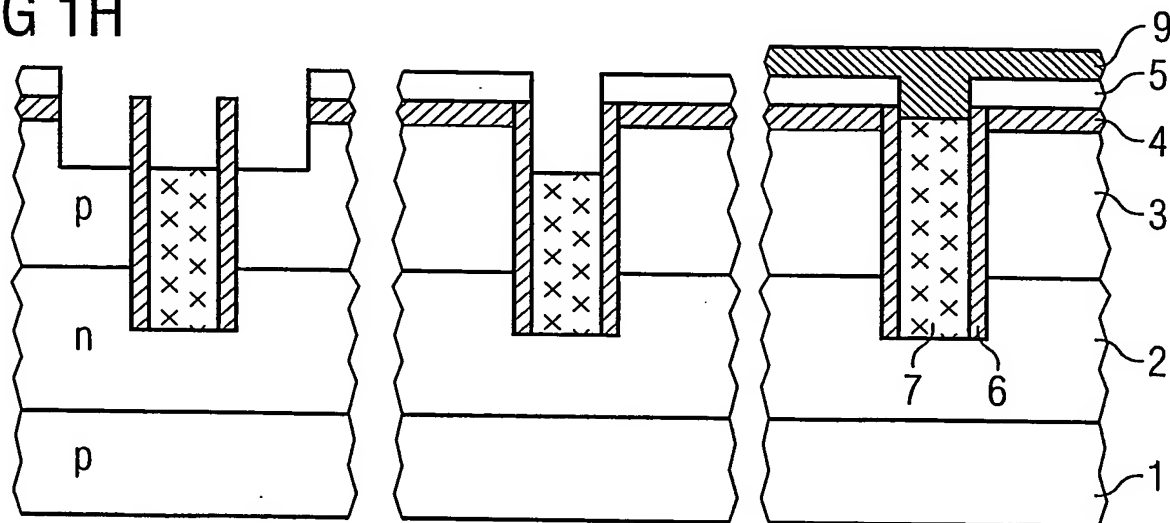


FIG 1I

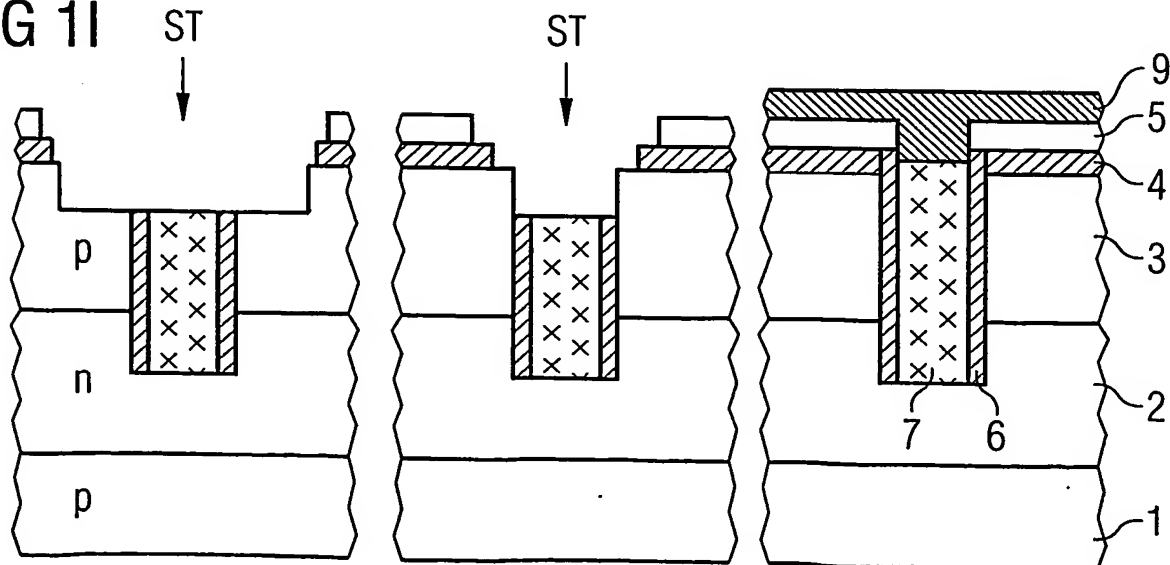


FIG 1J

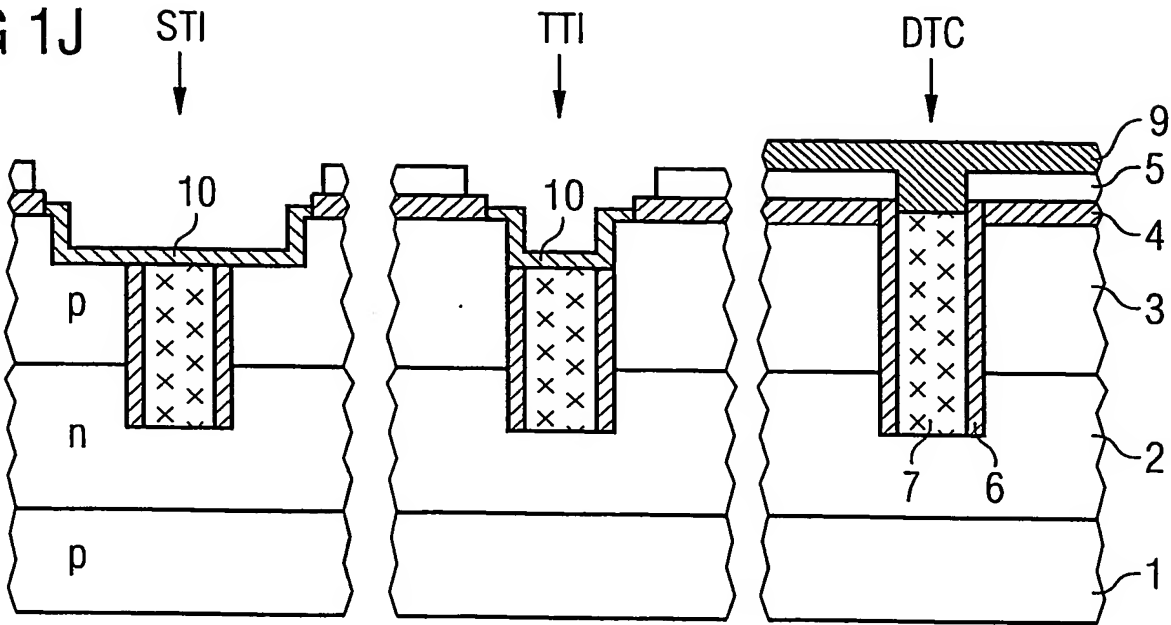


FIG 1K

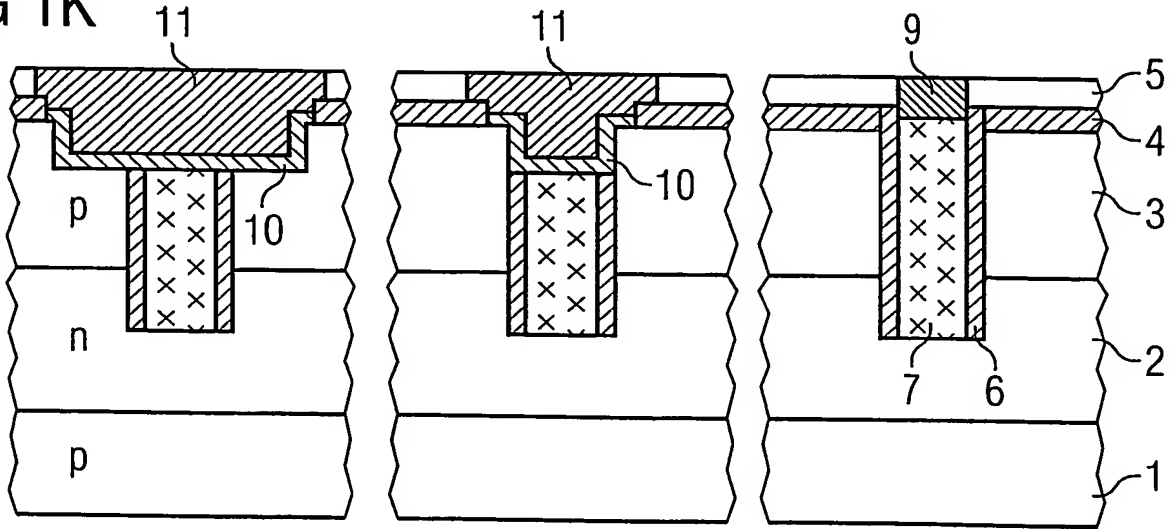


FIG 1L

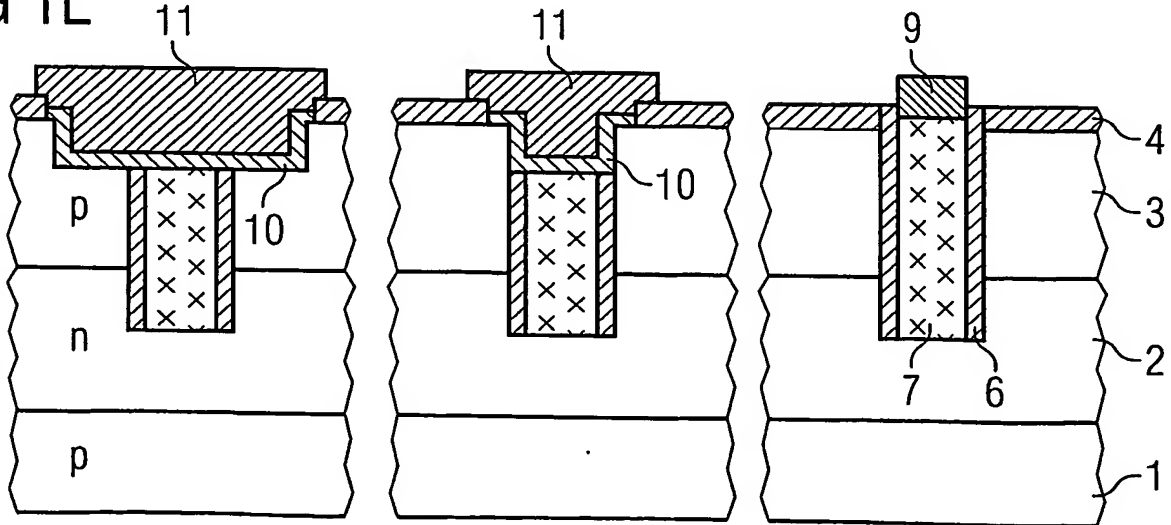


FIG 1M

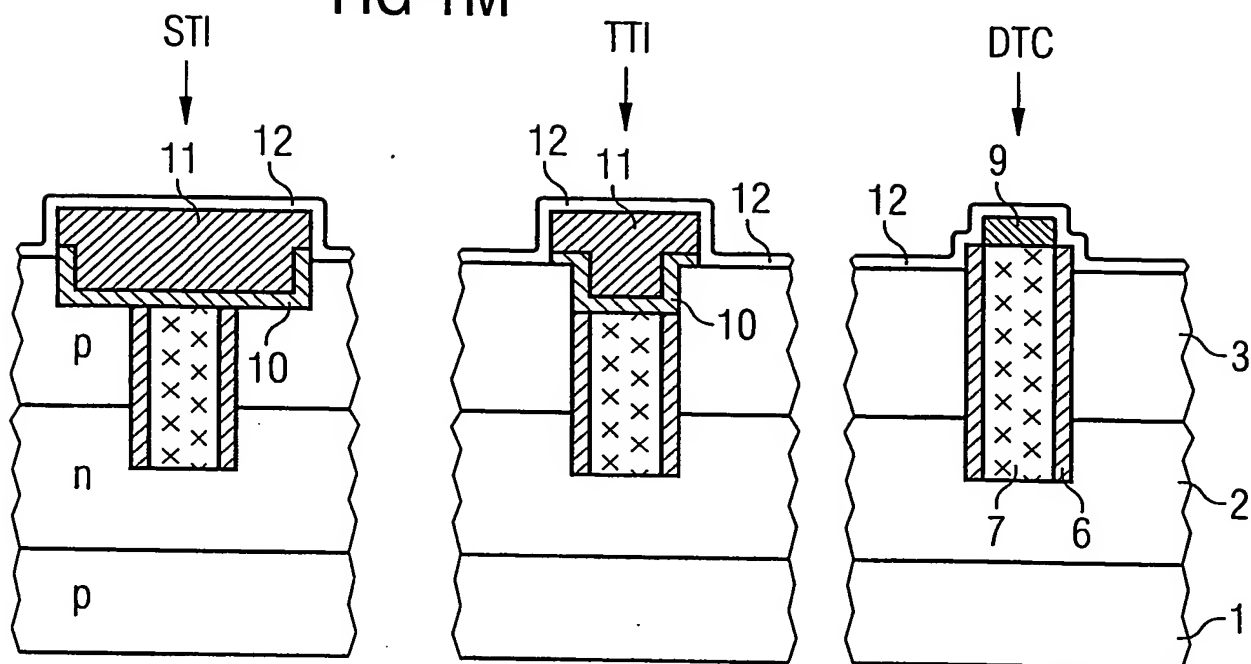


FIG 1N

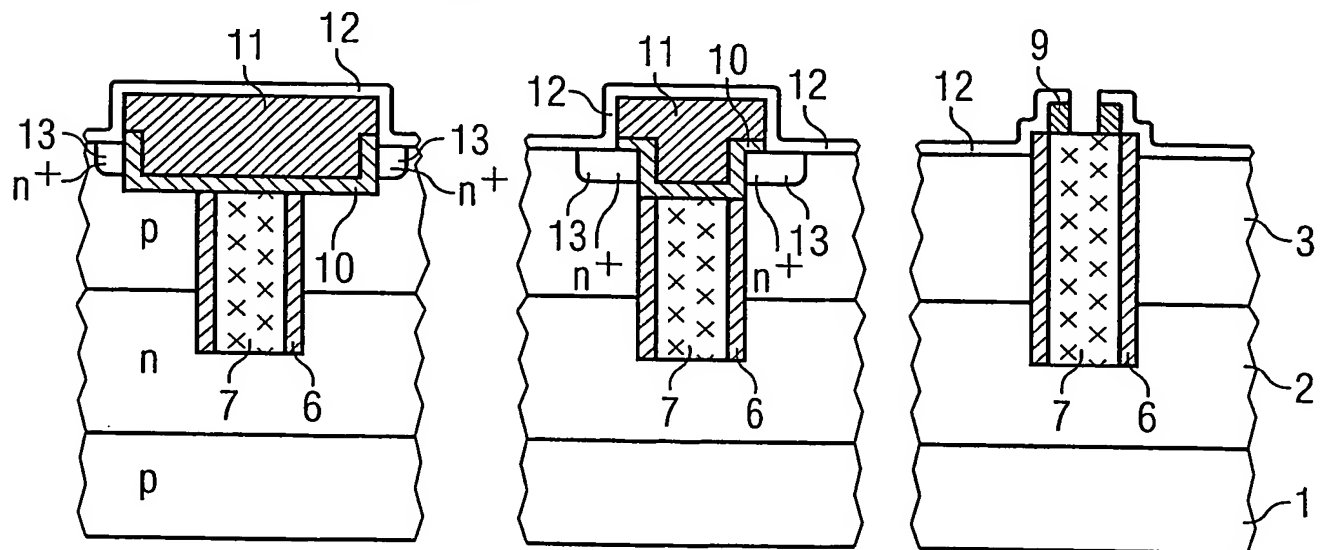


FIG 2

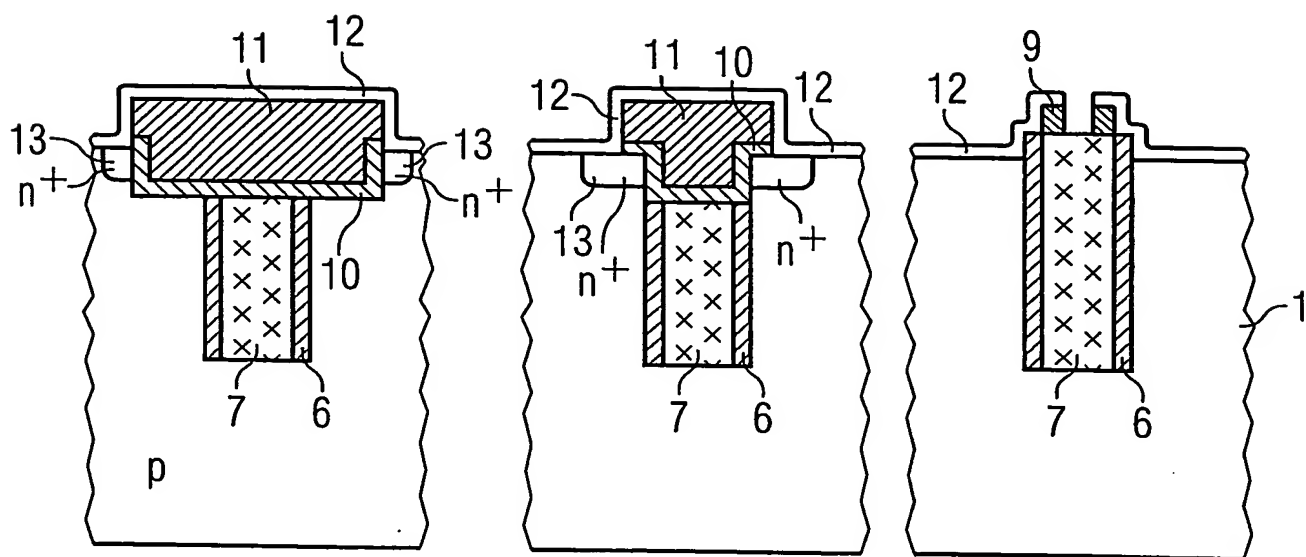


FIG 3

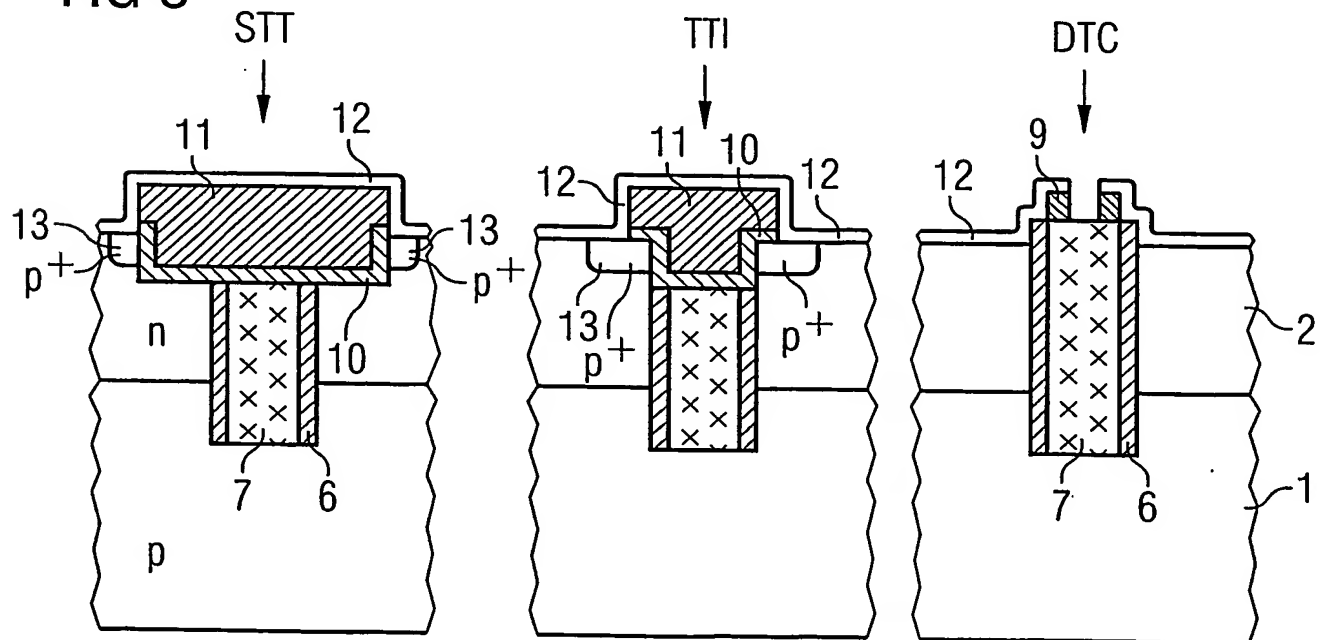






FIG 5B

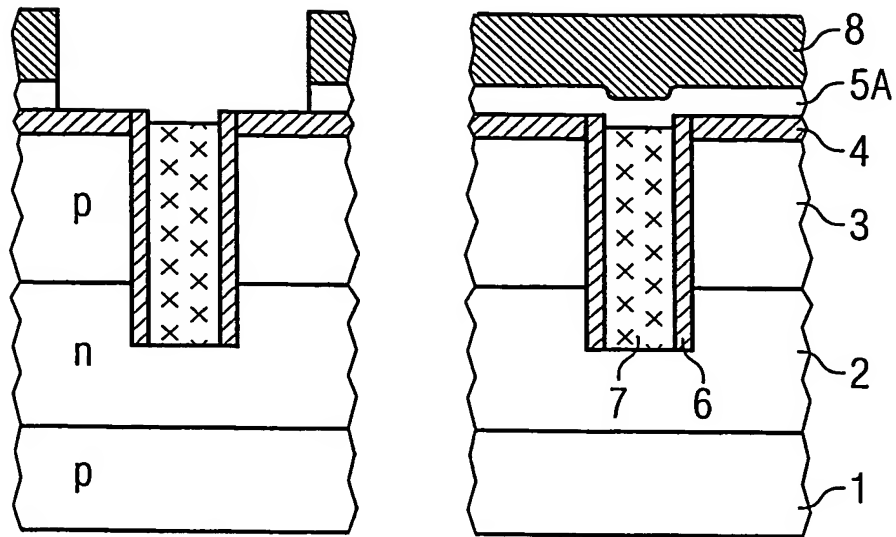


FIG 5C

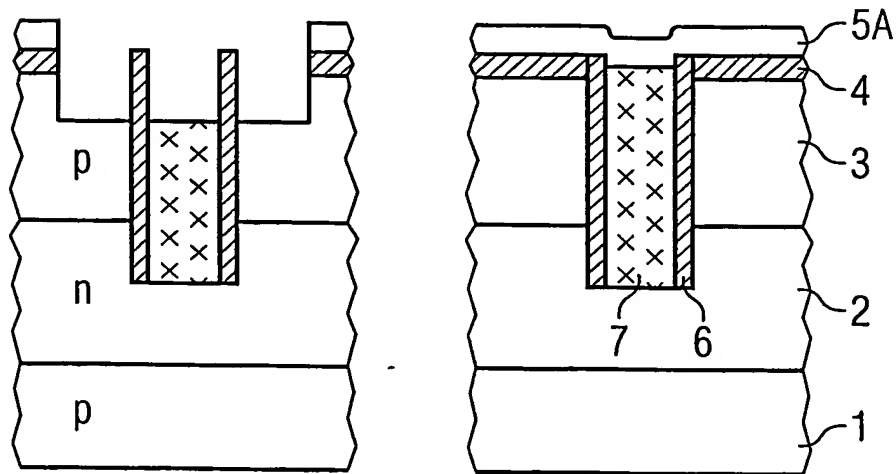


FIG 5D

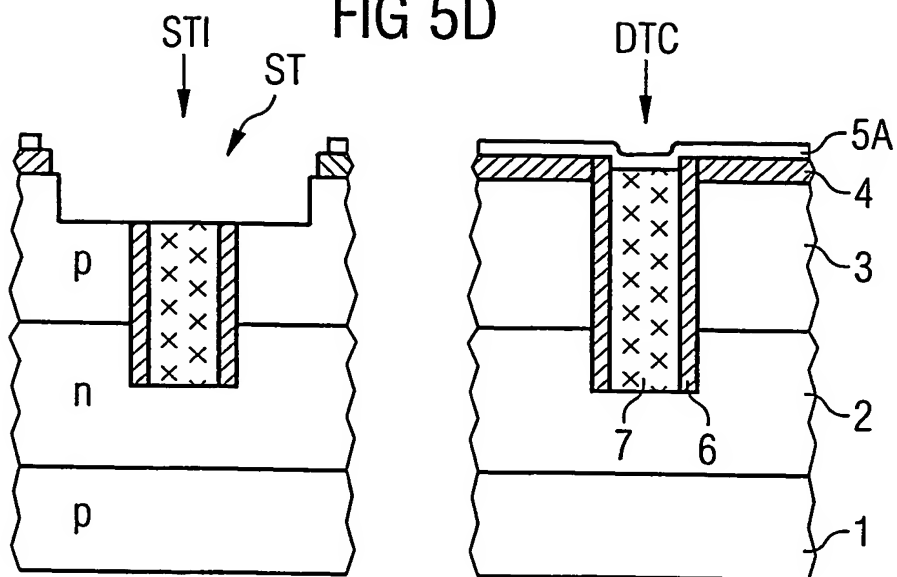


FIG 5E

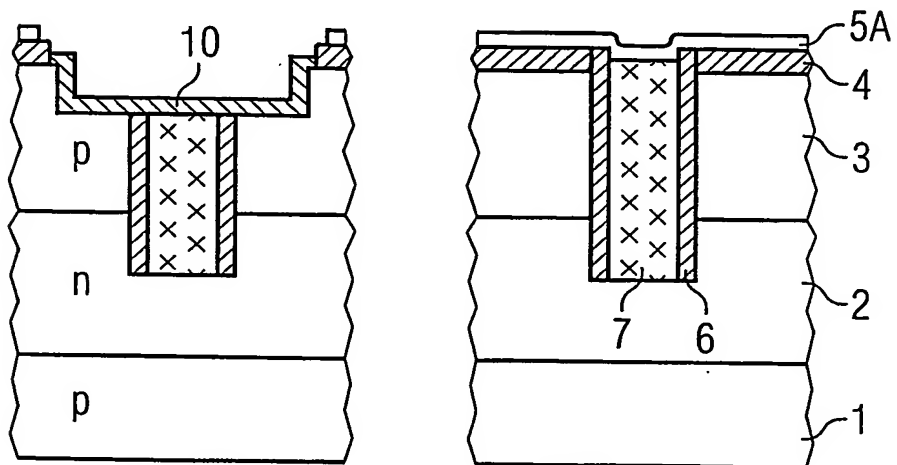


FIG 5F

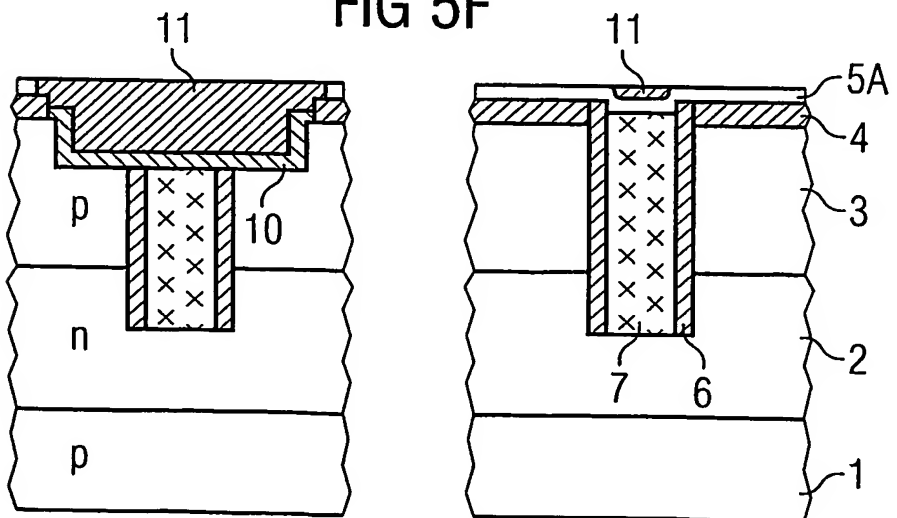


FIG 5G

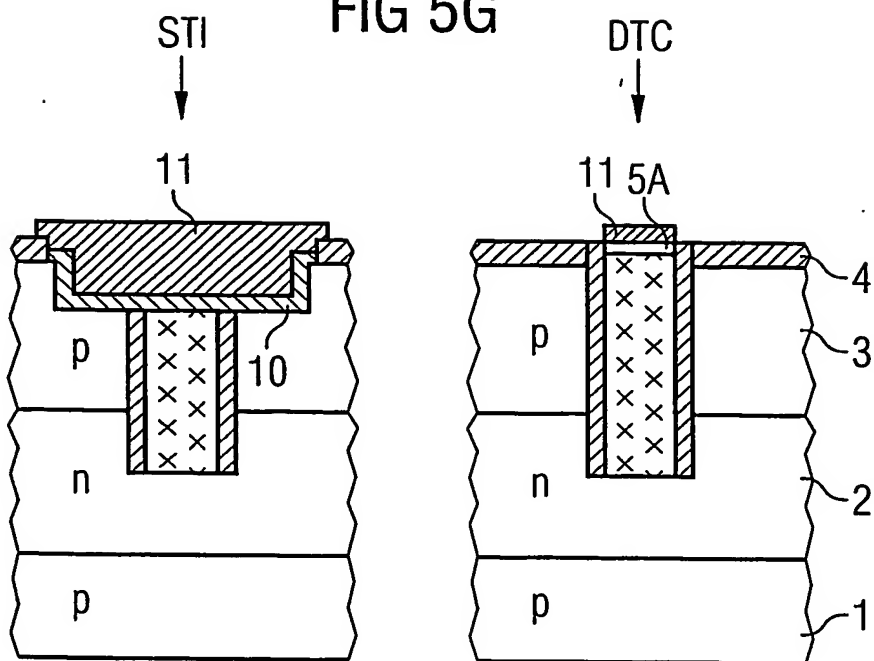


FIG 5H

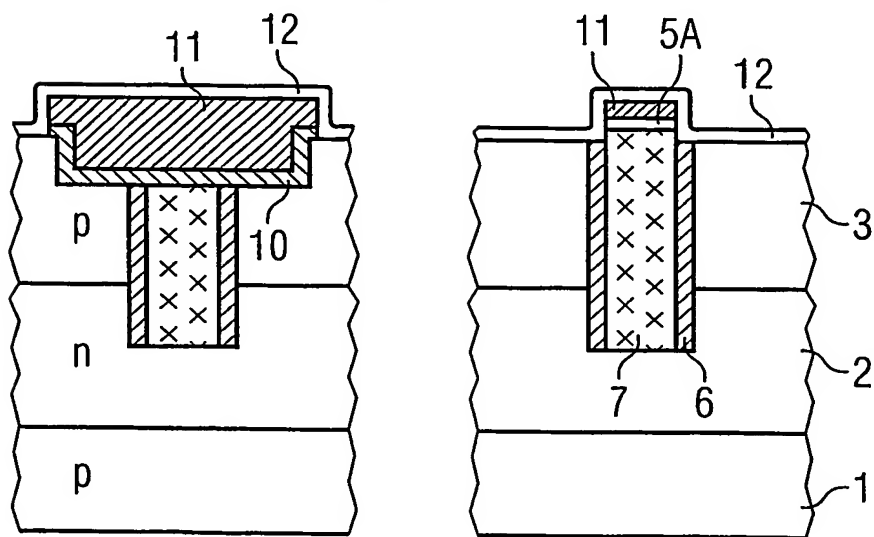


FIG 6A

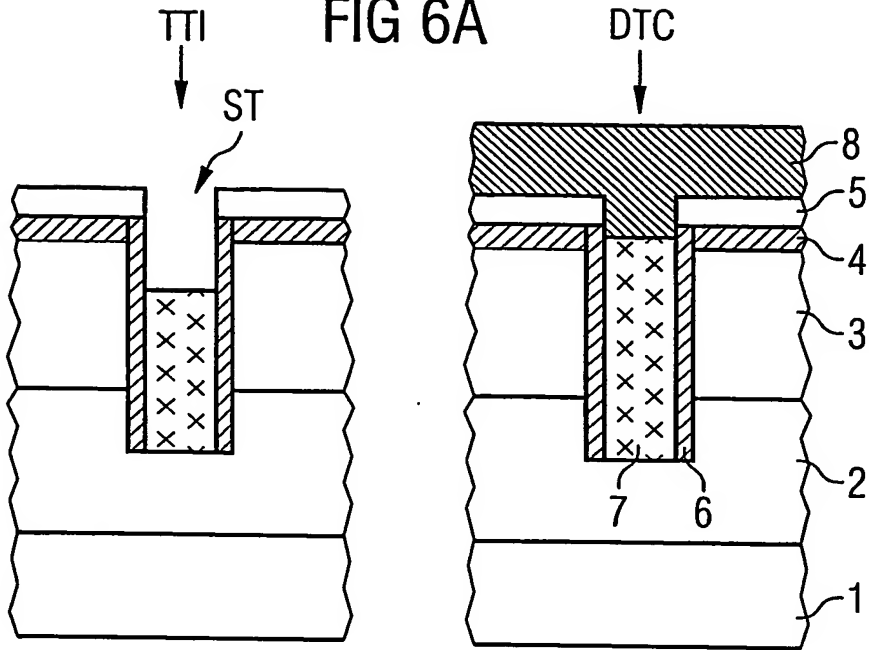


FIG 6B

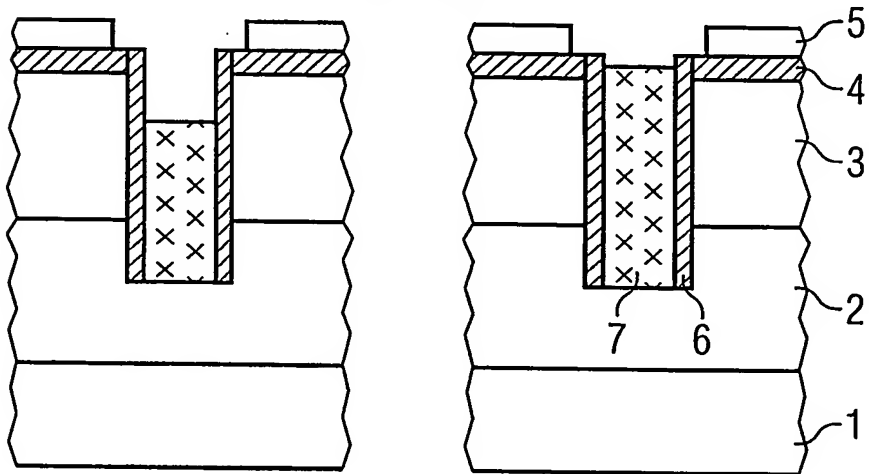


FIG 6C

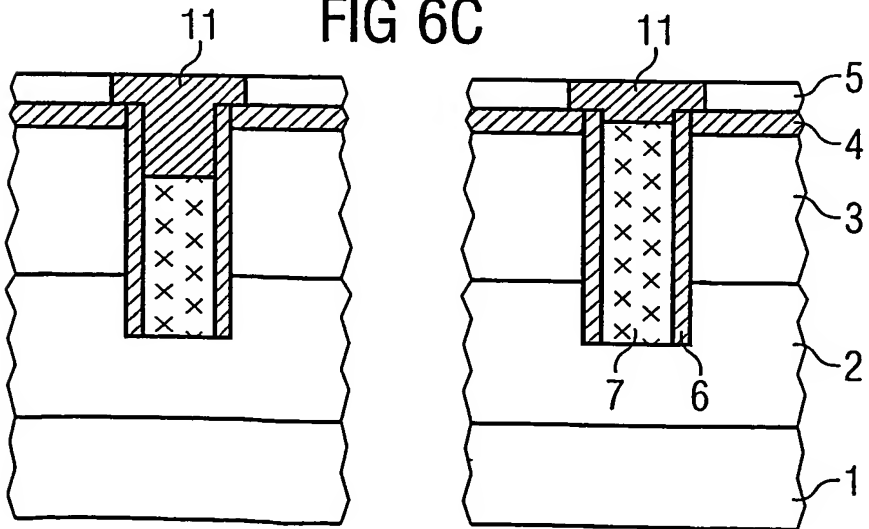


FIG 6D

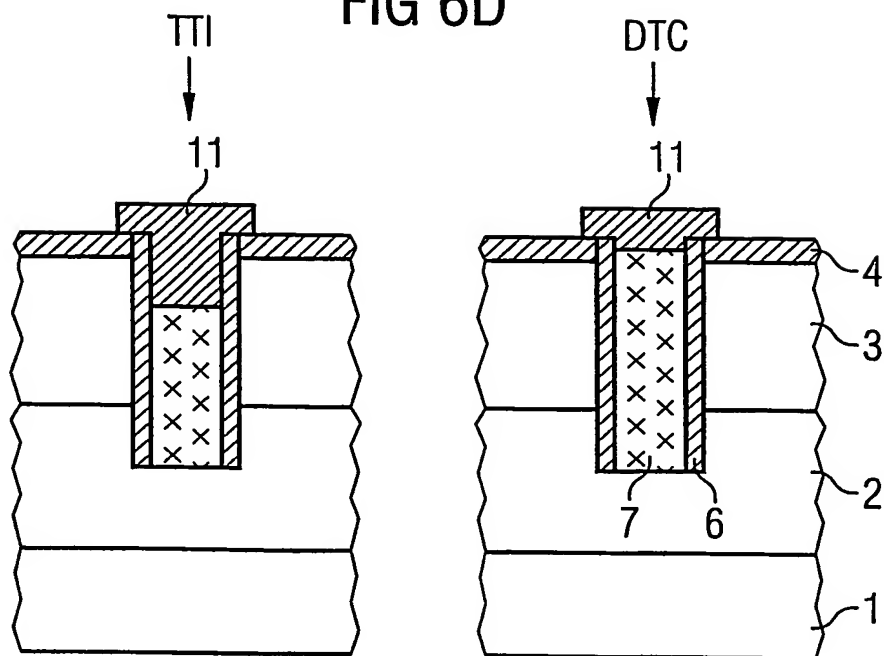
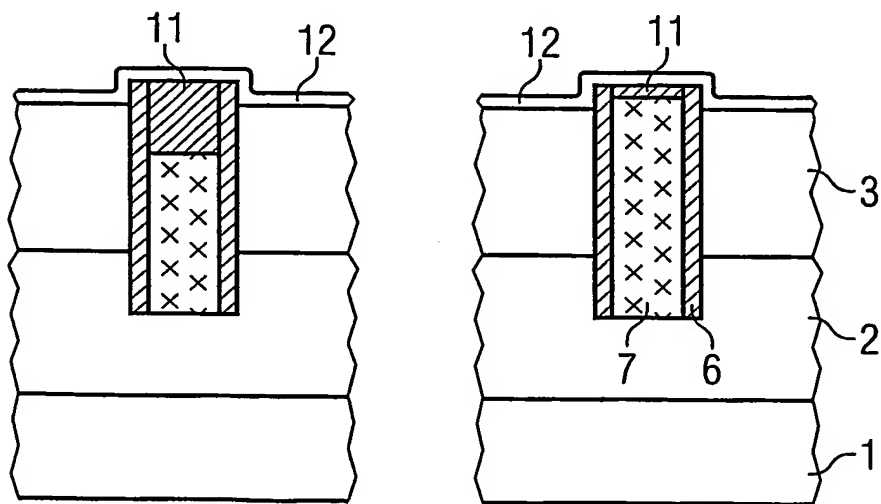


FIG 6E



## INTERNATIONAL SEARCH REPORT

International Classification No.

PCT/DE 02435

A. CLASSIFICATION OF SUBJECT MATTER  
IPC 7 H01L21/762 H01L21/763

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data, PAJ

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2002/014676 A1 (BAUDRY HELENE ET AL) 7 February 2002 (2002-02-07) the whole document	1-14
A	US 4 666 556 A (SCADUTO ANTHONY F ET AL) 19 May 1987 (1987-05-19) abstract; figures 5-11	1-14
A	US 6 251 734 B1 (GRIVNA GORDON M ET AL) 26 June 2001 (2001-06-26) abstract; figures 7,11	1-14

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

## \* Special categories of cited documents:

\*A\* document defining the general state of the art which is not considered to be of particular relevance

\*E\* earlier document but published on or after the international filing date

\*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

\*O\* document referring to an oral disclosure, use, exhibition or other means

\*P\* document published prior to the international filing date but later than the priority date claimed

\*T\* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

\*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

\*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

\*G\* document member of the same patent family

Date of the actual completion of the international search

27 January 2004

Date of mailing of the international search report

05/02/2004

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Authorized officer

Le Meur, M-A

# INTERNATIONAL SEARCH REPORT

information on patent family members

International Application No  
PCT/DE 02435

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2002014676 A1	07-02-2002	FR 2811473 A1	11-01-2002
US 4666556 A	19-05-1987	BR 8702320 A	17-02-1988
		CA 1286572 C	23-07-1991
		DE 3751732 D1	18-04-1996
		DE 3751732 T2	26-09-1996
		EP 0245622 A2	19-11-1987
		ES 2084575 T3	16-05-1996
		JP 62269335 A	21-11-1987
US 6251734 B1	26-06-2001	NONE	

## INTERNATIONALER RESEARCHENBERICHT

Internationaler Patentzeichen

PCT/DE 02435

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES  
IPK 7 H01L21/762 H01L21/763

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

## B. RESEARCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)  
IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data, PAJ

## C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	US 2002/014676 A1 (BAUDRY HELENE ET AL) 7. Februar 2002 (2002-02-07) das ganze Dokument ---	1-14
A	US 4 666 556 A (SCADUTO ANTHONY F ET AL) 19. Mai 1987 (1987-05-19) Zusammenfassung; Abbildungen 5-11 ---	1-14
A	US 6 251 734 B1 (GRIVNA GORDON M ET AL) 26. Juni 2001 (2001-06-26) Zusammenfassung; Abbildungen 7,11 -----	1-14

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen☒ Siehe Anhang Patentfamilie

\* Besondere Kategorien von angegebenen Veröffentlichungen :

\*A\* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

\*E\* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

\*L\* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

\*O\* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

\*P\* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

\*T\* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

\*X\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderscher Tätigkeit beruhend betrachtet werden

\*Y\* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderscher Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

\*S\* Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

27. Januar 2004

Absendedatum des internationalen Recherchenberichts

05/02/2004

Name und Postanschrift der Internationalen Recherchenbehörde  
Europäisches Patentamt, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Le Meur, M-A



# INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zu einer Patentfamilie gehören

Internationaler Zeichen

PCT/DE 02435

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 2002014676 A1	07-02-2002	FR 2811473 A1	11-01-2002
US 4666556 A	19-05-1987	BR 8702320 A	17-02-1988
		CA 1286572 C	23-07-1991
		DE 3751732 D1	18-04-1996
		DE 3751732 T2	26-09-1996
		EP 0245622 A2	19-11-1987
		ES 2084575 T3	16-05-1996
		JP 62269335 A	21-11-1987
US 6251734 B1	26-06-2001	KEINE	